

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-26324

(P2002-26324A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int.Cl.⁷

H 0 1 L 29/78

識別記号

6 5 3

6 5 2

F I

H 0 1 L 29/78

テマコード^{*}(参考)

6 5 3 C

6 5 2 G

審査請求 有 請求項の数53 O L 外国語出願 (全 27 頁)

(21) 出願番号 特願2001-105673(P2001-105673)

(22) 出願日 平成13年4月4日 (2001.4.4)

(31) 優先権主張番号 60/194386

(32) 優先日 平成12年4月4日 (2000.4.4)

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 09/814087

(32) 優先日 平成13年3月21日 (2001.3.21)

(33) 優先権主張国 米国 (US)

(71) 出願人 591074389

インターナショナル・レクチファイヤー・
コーポレーション

INTERNATIONAL RECTI
FIER CORPORATION

アメリカ合衆国90245カリフォルニア州

エル・セグンド、カンザス・ストリート
233番

(72) 発明者 ナレシュ・タパー

アメリカ合衆国90025カリフォルニア州ロ

サンジェルス、ベラム・アベニュー1950
番、アパートメント9

(74) 代理人 100062144

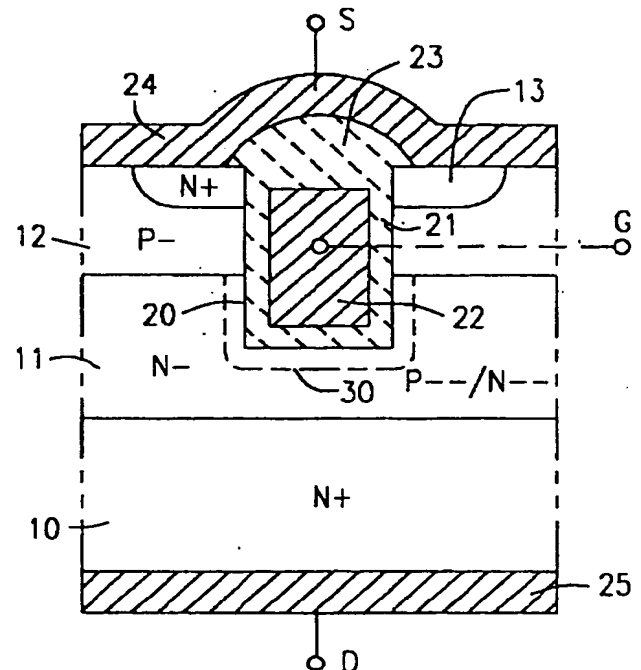
弁理士 青山 稔 (外1名)

(54) 【発明の名称】 改良された低電圧パワーMOSFET素子およびその製造処理

(57) 【要約】 (修正有)

【課題】 $R_{DS(on)}$ およびゲート容量が小さく、かつ、ゲート絶縁耐圧が大きいトレンチ型パワーMOSFET素子を提供する。

【解決手段】 本発明の素子は、その側壁に沿った薄い垂直ゲート酸化物と丸みをおびたトレンチ底部の厚い酸化物とを有する。まず、トレンチ壁が窒化物で覆われ、厚い底部酸化物の成長が可能になる。その後、窒化物が除去され、薄い酸化物が側壁に再成長する。または、酸化物成長ステップの間、酸化物が、トレンチ壁よりもトレンチ底部で早く、かつ、薄く成長できるように、トレンチ底部がアモルファス化され、トレンチ壁が単結晶シリコンとして残される。約0.7ミクロンの短いチャネルが未損傷のシリコンに沿うように、ソース拡散部が注入損傷深さよりも深く作られる。また、かなり少量ドープの拡散部がトレンチの底部周囲に形成でき、固有の接合電圧により常に空乏化される。



1

【特許請求の範囲】

【請求項 1】 第 1 の導電型のシリコンウェハと、
前記ウェハの上部表面に形成される間隔があいた所定の深さの複数のトレンチと、
前記トレンチの側壁と底部とを覆う絶縁コーティングと、
各々の前記トレンチの内部を満たす導電性ゲート本体と、

前記ウェハの上部において前記所定の深さよりも浅い第 1 の深さの第 2 の導電型のチャネル領域と、
前記ウェハの上部から第 1 の深さまでの前記チャネル領域において、前記第 1 の深さと第 2 の深さと間の前記チャネル領域における前記トレンチの側面に沿った反転可能なチャネルを区画する前記第 1 の導電型のソース領域と、
前記ウェハの上部表面上に形成され、前記ソースおよびチャネル領域に接続されるソース電極と、
前記ウェハの底部に接続されるドレイン電極と、
各々の前記トレンチの底部を囲む第 2 の導電型の浅い拡散部とからなり、
前記浅い拡散部は、前記チャネル領域の濃度よりも実質的に低い濃度を有し、その接合部において、前記ウェハの周囲の第 1 の導電型材料の周囲に対する固有の接合電圧によって常に空乏化されるトレンチ型 MOS ゲートパワー半導体素子。

【請求項 2】 前記第 1 の導電型が N 型であり、前記第 2 の導電型が P 型である請求項 1 に記載の素子。

【請求項 3】 前記ウェハが、前記ウェハの上部から延び、かつ、前記トレンチ、前記チャネル領域、および、前記ソース領域を受ける前記第 1 の導電型のエピタキシャル堆積層を有する請求項 1 に記載の素子。

【請求項 4】 前記絶縁コーティングが二酸化シリコンである請求項 1 に記載の素子。

【請求項 5】 前記側壁における前記絶縁コーティングが約 320 Å の膜厚を有し、前記トレンチの底部の前記絶縁コーティングが約 1000 Å よりも厚い膜厚を有し、鋭い角のない正に湾曲した底部表面を有する請求項 1 に記載の素子。

【請求項 6】 前記導電性ゲート本体が導電性ポリシリコンである請求項 1 に記載の素子。

【請求項 7】 前記トレンチが、対称的に配置された垂直セルと平行な垂直ストライプとからなるグループから選ばれた形態を有する請求項 1 に記載の素子。

【請求項 8】 前記第 1 の導電型が N 型であり、前記第 2 の導電型が P 型である請求項 3 に記載の素子。

【請求項 9】 前記第 1 の導電型が N 型であり、前記第 2 の導電型が P 型である請求項 4 に記載の素子。

【請求項 10】 前記第 1 の導電型が N 型であり、前記第 2 の導電型が P 型である請求項 5 に記載の素子。

【請求項 11】 前記第 1 の導電型が N 型であり、前記

2

第 2 の導電型が P 型である請求項 6 に記載の素子。

【請求項 12】 前記絶縁コーティングが二酸化シリコンである請求項 8 に記載の素子。

【請求項 13】 前記側壁における前記絶縁コーティングが約 320 Å の膜厚を有し、前記トレンチの底部の前記絶縁コーティングが約 1000 Å よりも厚い膜厚を有し、鋭い角のない正に湾曲した底部表面を有する請求項 12 に記載の素子。

【請求項 14】 前記導電性ゲート本体が導電性ポリシリコンである請求項 13 に記載の素子。

【請求項 15】 前記第 1 の深さと前記第 2 の深さとの間の垂直距離が約 0.7 ミクロンである請求項 1 に記載の素子。

【請求項 16】 前記ソース領域が、第 3 の深さまで注入損傷を生じさせる注入および続いて起こる拡散処理によって形成され、前記ソース領域の第 2 の深さは、前記の第 3 の深さよりも深く、それ故、前記反転可能なチャネル領域の全体の長さが未損傷シリコンに形成される請求項 15 に記載の素子。

【請求項 17】 第 1 の導電型のシリコンウェハと、
前記ウェハの上部表面に形成される間隔があいた所定の深さの複数のトレンチと、
前記トレンチの側壁と底部とを覆う絶縁コーティングと、
各々の前記トレンチの内部を満たす導電性ゲート本体と、

前記ウェハの上部において前記所定の深さよりも浅い第 1 の深さの第 2 の導電型のチャネル領域と、
前記ウェハの上部から第 1 の深さまでの前記チャネル領域において、前記第 1 の深さと第 2 の深さと間の前記チャネル領域における前記トレンチの側面に沿った反転可能なチャネルを区画する前記第 1 の導電型のソース領域と

前記ウェハの上部表面上に形成され、前記ソースおよびチャネル領域に接続されるソース電極と、
前記ウェハの底部に接続されるドレイン電極とからなり、
前記第 1 および第 2 の深さが垂直方向に約 0.7 ミクロン離れているトレンチ型 MOS ゲートパワー半導体素子。

【請求項 18】 前記ソース領域が、第 3 の深さまで注入損傷を生じさせる注入および続いて起こる拡散処理によって形成され、前記ソース領域の第 2 の深さは、前記の第 3 の深さよりも深く、それ故、前記反転可能なチャネル領域の全体の長さが未損傷シリコンに形成される請求項 17 に記載の素子。

【請求項 19】 前記トレンチの底部の前記絶縁コーティングが約 1000 Å よりも厚い膜厚を有し、鋭い角のない正に湾曲した底部表面を有する請求項 17 に記載の素子。

【請求項 20】 前記第 1 の導電型が N 型であり、前記

3

第2の導電型がP型である請求項17に記載の素子。

【請求項21】 前記ウェハが、前記ウェハの上部から延び、かつ、前記トレンチ、前記チャネル領域、および、前記ソース領域を受ける前記第1の導電型のエピタキシャル堆積層を有する請求項17に記載の素子。

【請求項22】 前記絶縁コーティングが二酸化シリコンである請求項17に記載の素子。

【請求項23】 前記導電性ゲート本体が導電性ポリシリコンである請求項17に記載の素子。

【請求項24】 前記トレンチが、対称的に配置された垂直セルと平行な垂直ストライプとからなるグループから選ばれた形態を有する請求項17に記載の素子。

【請求項25】 第1の導電型のシリコンウェハと、前記ウェハの上部表面に形成される間隔があいた所定の深さの複数のトレンチと、

前記トレンチの側壁と底部とを覆う絶縁コーティングと、

各々の前記トレンチの内部を満たす導電性ゲート本体と、

前記ウェハの上部において前記所定の深さよりも浅い第1の深さの第2の導電型のチャネル領域と、

前記ウェハの上部から第1の深さまでの前記チャネル領域において、前記第1の深さと第2の深さと間の前記チャネル領域における前記トレンチの側面に沿った反転可能なチャネルを区画する前記第1の導電型のソース領域と前記ウェハの上部表面上に形成され、前記ソースおよびチャネル領域に接続されるソース電極と、前記ウェハの底部に接続されるドレイン電極とからなり、

前記側壁上の前記絶縁コーティングが約320Åの膜厚を有し、前記トレンチの底部の前記絶縁コーティングが約1000Åよりも厚い膜厚を有し、鋭い角のない正に湾曲した底部表面を有するトレンチ型MOSゲートパワー半導体素子。

【請求項26】 前記第1の導電型がN型であり、前記第2の導電型がP型である請求項25に記載の素子。

【請求項27】 前記ウェハが、前記ウェハの上部から延び、かつ、前記トレンチ、前記チャネル領域、および、前記ソース領域を受ける前記第1の導電型のエピタキシャル堆積層を有する請求項25に記載の素子。

【請求項28】 前記絶縁コーティングが二酸化シリコンである請求項25に記載の素子。

【請求項29】 前記導電性ゲート本体が導電性ポリシリコンである請求項25に記載の素子。

【請求項30】 前記トレンチが、対称的に配置された垂直セルと平行な垂直ストライプとからなるグループから選ばれた形態を有する請求項25に記載の素子。

【請求項31】 前記第1の深さと前記第2の深さとの間の垂直距離が約0.7ミクロンである請求項25に記載の素子。

4

【請求項32】 前記ソース領域が、第3の深さまで注入損傷を生じさせる注入および続いて起こる拡散処理によって形成され、前記ソース領域の第2の深さは、前記の第3の深さよりも深く、それ故、前記反転可能なチャネル領域の全体の長さが未損傷シリコンに形成される請求項25に記載の素子。

【請求項33】 第1の導電型のシリコンウェハと、前記ウェハの上部表面に形成される間隔があいた所定の深さの複数のトレンチと、

前記トレンチの側壁と底部とを覆う絶縁コーティングと、

各々の前記トレンチの内部を満たす導電性ゲート本体と、

前記ウェハの上部において前記所定の深さよりも浅い第1の深さの第2の導電型のチャネル領域と、

前記ウェハの上部から第1の深さまでの前記チャネル領域において、前記第1の深さと第2の深さと間の前記チャネル領域における前記トレンチの側面に沿った反転可能なチャネルを区画する前記第1の導電型のソース領域と前記ウェハの上部表面上に形成され、前記ソースおよびチャネル領域に接続されるソース電極と、前記ウェハの底部に接続されるドレイン電極とからなり、

前記ソース領域が、第3の深さまで注入損傷を生じさせる注入および続いて起こる拡散処理によって形成され、前記ソース領域の第2の深さは、前記の第3の深さよりも深く、それ故、前記反転可能なチャネル領域の全体の長さが未損傷シリコンに形成されるトレンチ型MOSゲートパワー半導体素子。

【請求項34】 前記第1の導電型がN型であり、前記第2の導電型がP型である請求項33に記載の素子。

【請求項35】 前記ウェハが、前記ウェハの上部から延び、かつ、前記トレンチ、前記チャネル領域、および、前記ソース領域を受ける前記第1の導電型のエピタキシャル堆積層を有する請求項33に記載の素子。

【請求項36】 前記絶縁コーティングが二酸化シリコンである請求項33に記載の素子。

【請求項37】 前記側壁における前記絶縁コーティングが約320Åの膜厚を有し、前記トレンチの底部の前記絶縁コーティングが約1000Åよりも厚い膜厚を有し、鋭い角のない正に湾曲した底部表面を有する請求項33に記載の素子。

【請求項38】 前記導電性ゲート本体が導電性ポリシリコンである請求項33に記載の素子。

【請求項39】 前記トレンチが、対称的に配置された垂直セルと平行な垂直ストライプとからなるグループから選ばれた形態を有する請求項33に記載の素子。

【請求項40】 前記第1の深さと前記第2の深さとの間の垂直距離が約0.7ミクロンである請求項33に記載の素子。

【請求項41】 シリコンウェハにおいて鋭角をなす間隔のあいた側壁と底部表面とを有するトレンチをエッチするステップと、
前記側壁と前記底部表面に窒化シリコン層を形成するステップと、
前記底部表面からのみ前記窒化シリコン層を除去するステップと、
前記トレンチ底部に、前記底部表面上に1000Åよりも厚い膜厚を有する二酸化シリコン層を形成するステップと、

前記底部の二酸化シリコン層を形成する間に前記底部表面および鋭い角を丸くするステップと、
その後、前記壁上の窒化シリコン層を除去し、前記側壁上に実質的に1000Åよりも薄い膜厚を有する二酸化シリコン層を形成するステップとからなるトレンチ型MOSゲート素子の形成処理。

【請求項42】 前記壁上の前記二酸化シリコン層が、約320Åの膜厚を有する請求項41に記載の処理。

【請求項43】 一方の導電型のドレイン導電体領域、前記導電型のソース導電体領域、および、他方の導電型のチャネル導電体領域からなるMOSゲートパワー半導体素子において、
ゲート酸化層が、前記ソース導電体領域から前記チャネル導電体領域を横切って前記ドレイン導電体領域まであり、
導電性ゲート電極が、前記ゲート酸化物の表面上に位置され、かつ、前記ソース領域と前記ドレイン領域との間の伝導を可能にする前記チャネル領域における反転層を生成するために使用可能であり、
前記ゲート酸化物に隣接した前記ドレイン導電体領域において前記他方の導電型の浅くて少量ドーブの拡散部を備え、
前記浅い拡散部は、前記浅い拡散部と前記ドレイン領域との間の接合の固有の接合電圧によって空乏化されることを特徴とするMOSゲートパワー半導体素子。

【請求項44】 前記浅い拡散部が約2000Åよりも浅い深さを有する請求項43に記載の素子。

【請求項45】 前記浅い拡散部が、実質的に、前記チャネル領域の濃度よりも低い濃度を有する請求項43に記載の素子。

【請求項46】 前記浅い拡散部が、実質的に、前記チャネル領域の濃度よりも低い濃度を有する請求項44に記載の素子。

【請求項47】 前記浅い拡散部が、約 $1 \times 10^{12} \text{ atoms/cm}^2$ の注入ドーズによって形成される請求項45に記載の素子。

【請求項48】 前記素子がトレンチ型MOSFETであり、前記浅い拡散部が、前記ゲート酸化物を受けるトレンチの底部の周囲に形成される請求項43に記載の素子。

【請求項49】 単結晶シリコンウェハにおいて、間隔のあいた側壁と底部表面とを有するトレンチをエッチするステップと、

トレンチの側壁ではなく底部表面をアモルファス化するステップと、

その後、トレンチの側壁および底部上に、前記トレンチの側壁よりも底部上において実質的に厚い二酸化シリコン層を成長させるステップとからなるトレンチ型MOSゲート素子の形成処理。

10 【請求項50】 前記壁上のシリコンオキシサイドのコーティングが約1000Åよりも厚い膜厚を有する請求項49に記載の処理。

【請求項51】 前記トレンチの底部のシリコンをアモルファス化するステップが、前記トレンチの底部に対する中性粒子のイオン注入によって実行される請求項49に記載の処理。

【請求項52】 前記イオン注入が $1 \times 10^{16} \text{ atoms/cm}^2$ よりも多い多ドーズである請求項51に記載の処理。

20 【請求項53】 前記壁上のシリコンオキシサイドのコーティングが約1000Åよりも厚い膜厚を有する請求項52に記載の処理。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パワーMOSFET素子およびその製造方法に関し、より詳細には、 $R_{\text{DS(on)}}$ およびゲート容量が小さく、かつ、ゲート絶縁耐圧が大きいパワーMOSFET素子に関する。

【0002】

30 【従来の技術】現在のトレンチ型パワーMOSFET素子において、垂直ゲート酸化物は、トレンチの垂直壁内とトレンチ底部とに同時に形成される。 $R_{\text{DS(on)}}$ を小さくするために、垂直酸化物は比較的薄いほうがよい。しかし、ゲートドレイン容量は、トレンチ底部のゲート酸化物の厚さによって決まり、ゲート絶縁耐圧 $V_{\text{GS(max)}}$ は、トレンチ底部の角における酸化物の曲がりによって限定される。従って、小さい $R_{\text{DS(on)}}$ を実現するための薄い垂直ゲート酸化物に対する要望は、 $V_{\text{GS(max)}}$ を改良し、かつ、小さいゲートドレイン容量を実現するトレンチ底部の厚い酸化物の必要性和矛盾する。これらの同時に満たしえない条件を調和させることが望まれる。

40 【0003】現在のトレンチ型パワーMOSFETにおいて、従来のチャネルおよびソース拡散層の形成によるさらなる課題が存在する。従って、これらの領域は、大抵、次に拡散を伴う注入によって形成される。注入は、処理の変化に依存する特定深さの表面損傷を引き起こすことが知られている。それ故、ソースがトレンチ壁に交わる点からチャネル拡散層の底部までの縦型チャネル
50 は、初期の注入によって引き起こされる損傷を受けたシ

7

リコンを含む。従って、これは、閾値電圧を増大させ、チャネル抵抗を増大させる。素子の伝導チャネルにおける注入損傷の影響を避けることが望まれる。

【0004】構造の本来のミラー容量が素子のゲート電荷 Q_G を増大させ、従って、スイッチング損失を増大させるという点で、現在のパワーMOSFETにおいてさらなる課題が存在する。スイッチング損失を減ずるために、ミラー容量を減ずることが望まれる。

【0005】

【発明の概要】本発明の第1の側面によると、トレンチ底部の厚いゲート酸化物の作製、および、トレンチの垂直壁に沿った十分に薄いゲート酸化物の作製につながる新規の構造と処理が提供される。従って、トレンチは、まず、ソース拡散層およびチャネル拡散層を通して従来の方法でエッチされ、トレンチの壁および底部が、その上に堆積された窒化シリコンコーティングを有する。熱的に成長したパッド酸化物は、その窒化シリコンを堆積する前に形成されてもよい。トレンチ底部表面の窒化シリコンは、反応してエッチ除去される。その後、トレンチ底部の露出したシリコンの上に、二酸化シリコン層が成長する。その底部の酸化物層は、従来の素子の側壁ゲート酸化物に使用される通常の約320Åの酸化物厚と比較して、例えば1000Åから1400Åの任意の望まれる厚さに成長させることができる。その成長の間、トレンチの角の酸化物とシリコンは、丸みがついて滑らかになる、すなわち、トレンチの底部のそうでない鋭い角に丸みがつく。

【0006】本発明のもう1つの実施の形態において、トレンチエッチの後、例えばアルゴンのような中性粒子イオンの多ドーズイオン注入（例えば $1 \times 10^{16} \text{ atoms/cm}^2$ ）を使用してトレンチ底部をアモルファス化することにより、より厚い底部酸化物が形成される。この処理は、アモルファスシリコンが垂直トレンチ壁に沿った単結晶シリコン表面よりも3倍または4倍早く酸化するという事実を利用している。

【0007】その後、トレンチ壁に残留する窒化物シリコン層は、厚い底部酸化物層をそのままに保つウェットエッチによって除去される。その後、露出した側壁に、薄いゲート酸化物（例えば320Å）が成長する。

【0008】結果として得られる構造は、大きい V_{DSMAX} と $V_{GS MAX}$ を実現する所望の厚い底部酸化物、丸みをおびたシリコン底部、小さいミラー容量、および、小さい $R_{DS ON}$ を実現するトレンチ壁上の薄いゲート酸化物を有する。

【0009】また、新しい素子のチャネル長は、（従来技術における同じ電圧に対する1.2ミクロンから）約0.7ミクロンまで減じられる。

【0010】ソースおよびチャネル拡散部を形成する場合、トレンチの形成前に、シリコンに不純物原子が注入されて拡散される。拡散が浅いとき、チャネル長が減じ

8

られた（例えば、0.5ミクロンの）低電圧素子に関して、一部のブロック電圧はそのチャネルによるのみで防止できる。しかし、そのチャネルは、注入処理の間に損傷を受けたトレンチ壁に沿ったシリコンを含みうる。本発明のさらなる特徴によると、短チャネル低電圧MOSFETにおけるソース拡散部は、注入損傷深さよりも故意に深く作られる。このように、閾値電圧および $R_{DS ON}$ 特性がシリコン結晶注入損傷によって影響を受けないように、チャネル長全体が未損傷のシリコンに沿っている。

【0011】本発明の更なる特徴として、ミラー容量をさらに減じるために、約1000Åから約2000Åの深さのかなり少量ドープのP-/N-拡散部がトレンチの底部周囲に形成される。P-拡散部は、固有の接合電圧によって常に空乏化される。従って、ミラー容量やスイッチング損失を減じる。この概念は、トレンチ素子と同様にプレーナ素子にも応用できる。

【0012】

【発明の詳細な説明】以下に、添付の図面を参照して、本発明の実施の形態を説明する。まず、図1Aを参照する。図1Aは、初期の製造段階におけるトレンチMOSFETのかなり小さい部分を断面図で示す。従って、まず、単結晶シリコンのN+チップ10が準備され、その上に、エピタキシャル成長されたシリコンのN層11が形成される。その後、P-チャネル拡散部12を形成するために層11の上部に所定の深さまでP-ドーパントが注入され、拡散される。その後、また所定の深さに拡散されるソース領域13のような間隔をおいて配置されたN+ソース領域を形成するために、N+ソース不純物が、適当なマスクを通して注入される。ソース領域13は、任意の所望の形状をとることができ、ストライプ、セル、または、それに類するものであってよい。

【0013】その後、シリコンにおいてトレンチ20のようなトレンチがエッチされる。約320Åの厚さを有する二酸化シリコンゲート層21は、トレンチ20の壁および底に沿って成長する。導電性ポリシリコンゲート22はトレンチ20内で形成され、ポリシリコン22の上部は酸化物キャップ23で覆われる。

【0014】その後、ソース電極24が素子の上部表面全体に形成され、ソース領域13とチャネル領域12に接触する。また、ドレイン金属25が、本体10の底部に付けられる。

【0015】また、図1A、図1B、および、図2から図5において、同じ要素には同じ符号が付されている。

【0016】この点について述べられる構造は、周知のトレンチMOSFET構造である。本発明の第1の特徴によると、高速化のためにミラー容量（ゲートとドレインとの間の容量）、従って、 Q_G を減じるように、ポリシリコン22形成の前であって、ゲート酸化物ステップの前または後に、トレンチ壁において、かなり少量ドープ

9

のP⁺/N⁺拡散部30が形成される。拡散深さは、好ましくは、1000Åから2000Åである。このP⁺拡散部30は、基板11に対する固有の接合電圧によって常に空乏化されるほど十分に低い濃度を有している。それ故、ミラー容量を減少させる。

【0017】図2は、同じ拡散部30が、ゲート酸化物40、ポリシリコン31、LTO層42、および、ソース金属24を有するその他の従来のプレーナMOSFET構造において使用できることを示す。

【0018】図1Bは、図1AのP⁺拡散部が、トレンチ20を受け入れてかなり薄いN型空乏層のように動作する3ミクロン深さのN⁺領域50によって置き換えられる。N⁺領域50は、約 $1 \times 10^{14} \text{ atoms/cm}^3$ の濃度を有し、固有の接合電荷によって十分に空乏化される。

【0019】図1Aおよび図2のP⁺領域30のドーピング濃度は、約 $1 \times 10^{12} \text{ atoms/cm}^2$ の注入ドーズによって生じる。比較によると、N⁺領域50は50Ωであり、N⁺領域11は0.003Ωcm材料である。

【0020】図3および図4は、トレンチにおいて厚い底部酸化物および薄い側壁酸化物を使用することによって、素子のゲート-ドレイン容量を減ずる、従って、低いオン抵抗を保つ新規の構造および処理を示す。より詳細には、従来のトレンチ素子において、底部酸化物の厚さは、約320Åである側壁の酸化物の厚さであった。本発明によると、底部酸化物層は、1000Åから1400Åの厚さまで増大し、トレンチは、トレンチの角で丸みをおびており、これらの角でドレイン/ソース絶縁耐圧およびゲート-ドレイン絶縁耐圧を増大させる。

【0021】従って、図3においてトレンチ20が形成された後、その壁および底部は、従来のSi₃N₄堆積処理のとおり、窒化シリコンで覆われる。その後、トレンチ底部の窒化物は、図3の窒化物層60に示されるようなトレンチ壁上の窒化物をそのままに保って、適当な反応性エッチ処理を用いて除去される。その後、トレンチ20の露出したシリコン底部に酸化物が成長され、図3の厚い酸化物層61を形成する。層61は、(一例として)1000Åから1400Åの厚さを有し、偶発的に、丸みをおびたエッジ62、63(または、もしそのトレンチの断面が多角形なら丸みをおびたトレンチ底部周囲)を形成する。その後、図3の窒化物60は、適当な窒化物エッチ、例えば、酸化物61をそのままに保つH₃PO₄によって除去される。その後、トレンチ20の露出した側壁に、薄いゲート酸化物62(図4)が300Åから320Åの厚さまで成長できる。

【0022】本発明によるもう1つの実施の形態において、トレンチ20が形成された後、中性粒子(例えば、アルゴン)の多ドーズ注入(例えば、 $1 \times 10^{16} \text{ atoms/cm}^2$)がトレンチの底部のみに適用され、ト

10

レンチ底部の単結晶シリコンをアモルファスシリコンに変換する。その後、酸化物成長ステップは、単結晶トレンチ壁およびアモルファス化された底部トレンチ表面に酸化物を交互に成長する。アモルファスシリコン上の酸化物は、トレンチ壁上の酸化物の約3倍から4倍早く成長する。従って、トレンチに所望の厚い底部を提供する。

【0023】その後、ポリシリコンゲート、ソース電極、および、ドレイン電極の形成により、周知の方法で素子が完成される。

【0024】結果として得られる素子は、ゲート-ドレイン容量が小さい。また、厚い酸化物61、および、従来技術のより鋭いトレンチエッジよりも丸みをおびたトレンチ底部エッジのために、耐圧能力が改良される。

【0025】図4のような素子は、チャネルにおいてのみ逆電圧を防止する、より短いチャネル長を有することが望ましい。従って、低電圧トレンチMOSFETは、約1.3ミクロンのトレンチ壁に沿ったチャネル長を使用することが通常であった。図5に示されるように、例えば0.7ミクロンの減じられたチャネル長が使用できることがわかった。そのような素子を作製するために、P⁺領域12とN⁺ソース領域13の注入中に引き起こされるかなり長い注入誘導損傷を含んでもよいと考える必要がある。本発明のもう1つの側面により、ソース領域13は注入損傷の深さよりも深いところまで故意に拡散される。このようにして、減じられた長さの全チャネルが非損傷のシリコンにある。故に、それは、全ソース-ドレイン電圧をよく防止できる。

【0026】本発明は、特定の実施の形態に関して述べられたけれども、多くの変形や改良、および、他の用途が、当業者に明らかになる。故に、本発明は、本明細書の特定の開示によって限定されず、添付の請求項によってのみ限定されることが好ましい。

【図面の簡単な説明】

【図1A】 ミラー容量を減じるためにP⁺/N⁺注入部を有するトレンチの断面図。

【図1B】 図1Aの構造に対する別の実施の形態。

【図2】 新規のP⁺/N⁺注入部を有するプレーナ形態チップのセル部品の断面図。

【図3】 トレンチがその底部に薄い二酸化シリコン層を有し、その壁に窒化シリコン層を有する処理段階におけるトレンチを備えたシリコンチップを示す図。

【図4】 壁から窒化物層が除去され、厚い酸化物によって置き換えられた後の図3の構造を示す図。

【図5】 ソース拡散層が注入損傷の深さよりも深い減じられたチャネル長が使用される図4のトレンチ構造を示す図。

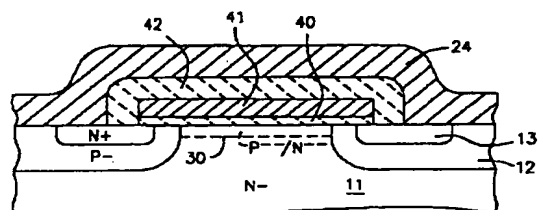
【符号の説明】

10 シリコンのN⁺チップ

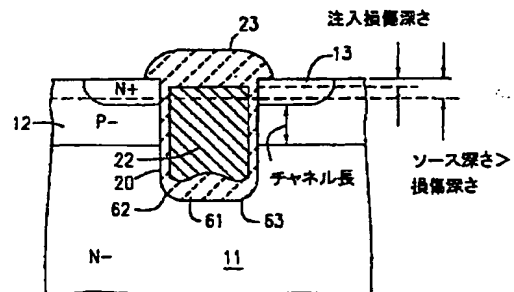
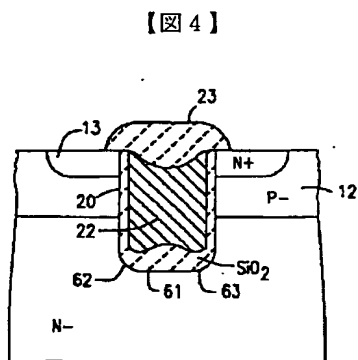
11 シリコンのN⁻層

* 2 3 酸化物キャップ
2 4 ソース電極
2 5 ドレイン電極
3 0 P - - / N - - 拡散部

【図 2】



【图 5】



【外国語明細書】

- 1 -

**IMPROVED LOW VOLTAGE POWER MOSFET
DEVICE AND PROCESS FOR ITS MANUFACTURE****FIELD OF THE INVENTION**

5 This invention relates to power MOSFET devices and their methods of manufacture, and more specifically relates to such devices with reduced $R_{DS(on)}$, reduced gate capacitance and increased gate breakdown voltage.

BACKGROUND OF THE INVENTION

10 In present trench type power MOSFET devices, a vertical gate oxide is formed simultaneously within the vertical walls of the trench and at the trench bottom. In order to provide a low $R_{DS(on)}$, the vertical oxide should be relatively thin. However, the gate to drain capacitance is determined by the thickness of the gate oxide at the trench bottom, and the gate breakdown voltage $V_{GS(max)}$ is limited by the curvatures of the oxide at the trench bottom corner. Thus, the desire for a thin vertical gate oxide for low $R_{DS(on)}$ is contradictory to the need of a thick oxide at the
15 bottom of the trench for improved $V_{GS(max)}$ and a low gate to drain capacitance. It would be desirable to harmonize these trade-offs.

A further problem exists in present trench type power MOSFETS due to the conventional formation of the channel and source diffusions. Thus, these regions are usually formed by an implant followed by the diffusion. The implants are known to
20 cause surface damage which extends to a particular depth, depending on the process variables. Therefore, the vertical channel, which extends from the point at which the source intersects the trench wall to the bottom of the channel diffusion, will include damaged silicon caused by the earlier implants. This then increases threshold voltage and increases the channel resistance. It would be desirable to avoid the
25 influence of implant damage on the conduction channel of the device.

- 2 -

A still further problem exists in current power MOSFETs in that the inherent Miller capacitance of the structure increases the gate charge Q_G of the device and thus increases switching loss. It would be desirable to reduce Miller capacitance to reduce switching loss.

5 BRIEF SUMMARY OF THE INVENTION

 In accordance with a first aspect of this invention, a novel structure and process are provided which result in the production of a thick gate oxide at the bottom of the trench and a significantly thinner gate oxide along its vertical wall. Thus, a trench is first etched in conventional fashion, through a source diffusion layer
10 and channel diffusion layer and the trench walls and bottom have a silicon nitride coating deposited thereon. A thermally grown pad oxide may be formed before depositing the silicon nitride. The silicon nitride at the bottom surface of the trench is then reactively etched away, and a silicon dioxide layer is then grown on the exposed silicon at the bottom of the trench. The bottom oxide layer is grown to any
15 desired thickness, for example, 1000Å to 1400Å in comparison to the conventional oxide thickness of about 320Å used for the side wall gate oxide in the conventional device. During its growth, the oxide and the silicon at the corners of the trench round out to smooth or round the otherwise sharp bottom corners of the trench.

 In another embodiment of the invention, the thicker bottom oxide is formed
20 by amorphizing the trench bottom by using a heavy dose ion implantation (for example $1E16$ atoms/cm²) of a neutral species ion, for example, Argon, after the trench etch. This process makes use of the fact that amorphized silicon oxidizes 3 or 4 times faster than the single crystal silicon surface along the vertical trench walls.

 Thereafter, the silicon nitride layer remaining on the trench walls is removed
25 by a wet etch which leaves the thick bottom oxide layer intact. A thin gate oxide (320Å for example) is then grown on the exposed side walls.

 The resulting structure has the desired thick bottom oxide and rounded silicon

- 3 -

bottom for increased V_{DSMAX} and V_{GSMAX} and reduced Miller capacitance; and a thin gate oxide on the trench walls for reduced R_{DSON} .

The channel length of the new device is also reduced to about 0.7 microns (from 1.2 microns for the same voltage in the prior art).

5 In forming the source and channel diffusions, the impurity atoms are implanted into the silicon and diffused before forming the trench. When the diffusions are shallow, as for a low voltage device with a reduced channel length (for example, 0.5 microns) part of the blocking voltage is held off only by the channel. However, the channel may include silicon along the trench wall which was damaged.
10 during the implant process. In accordance with a further feature of the invention, the source diffusion in a short channel low voltage MOSFET is made intentionally deeper than the implant damage depth. In this way, the full channel length will be along undamaged silicon so that threshold voltage and R_{DSON} characteristics are unaffected by silicon crystal implant damage.

15 As a still further feature of the invention, and to further reduce Miller capacitance, a very lightly doped P^- or N^- diffusion of about 1000Å to about 2000Å in depth is formed around the bottom of the trench. The P^- diffusion will be depleted at all times by the inherent junction voltage, thus reducing Miller capacitance and switching loss. This concept is applicable to planar devices as well as trench
20 devices.

BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1A is a cross-section of a trench with a P^-/N^- implant to reduce Miller capacitance.

Figure 1B shows an alternative embodiment to the structure of Figure 1A.

25 Figure 2 is a cross-section of one cell element of a planar geometry chip with the novel P^-/N^- implant.

Figure 3 shows a silicon chip with a trench at a stage of processing in which

- 4 -

the trench has a thick silicon dioxide layer on its bottom and a silicon nitride layer on its walls.

Figure 4 shows the structure of Figure 3 after the nitride layer is removed from the walls and is replaced by a thin oxide.

5 Figure 5 shows the trench structure of Figure 4 in which a reduced channel length is used with the source diffusion being deeper than the depth of the implant damage.

DETAILED DESCRIPTION OF THE DRAWINGS

10 Referring first to Figure 1A, there is shown in cross-section, a very small portion of a trench MOSFET at an early stage of its manufacture. Thus, an N⁺ chip 10 of monocrystalline silicon is first prepared and an N⁺ layer 11 of epitaxially grown silicon is formed thereon. A P⁺ dopant is then implanted and diffused into the top of layer 11 to form P⁺ channel diffusion 12 to a given depth. Thereafter, an N⁺ source impurity is implanted through a suitable mask to form spaced N⁺ source regions such
15 as source region 13 which are also diffused to a given depth. Source region 13 may have any desired topology and can be a stripe or a cell or the like.

20 Thereafter, trenches such as trench 20 are etched in the silicon, and a silicon dioxide gate layer 21 having a thickness of about 320Å is grown along the walls and bottom of the trench 20. A conductive polysilicon gate 22 is formed within trench 20 and the top of the polysilicon 22 is capped with an oxide cap 23.

A source electrode 24 is then formed over the top surface of the device and in contact with source regions 13 and channel region 12. A drain metal 25 is also applied to the bottom of body 10.

25 It is to be noted that the same elements in Figures 1A, 1B and 2 to 5 carry the same identifying numerals.

The structure described to this point is the well known trench MOSFET structure. In accordance with a first feature of the invention, and to reduce Miller

- 5 -

capacitance (the capacitance between gate and drain) and thus Q_G for increased speed, a very lightly doped P^-/N^- diffusion 30 is formed in the trench wall before or after the gate oxide step but before the formation of polysilicon 22. The diffusion depth is preferably 1000Å to 2000Å deep. This P^- diffusion 30 will have a concentration sufficiently low to be at all times depleted by the built-in junction voltage to substrate 11, thereby reducing Miller capacitance.

Figure 2 shows that the same diffusion 30 can be used in an otherwise conventional planar MOSFET structure having gate oxide 40, polysilicon 31, LTO layer 42 and the source metal 24.

Figure 1B shows a further embodiment of the invention of Figures 1A and 2 in which the P^- diffusion of Figure 1A is replaced by a 3 micron deep N^- region 50 which receives trench 20 and acts like a very thin N type depletion layer. N^- region 50 has a concentration of about 1×10^{14} atoms/cm³ and will be fully depleted by the built-in junction charge.

The doping concentration for P^- region 30 of Figures 1A and 2 can be produced by an implant dose of about 1×10^{12} atoms/cm². By comparison, N^- region 50 is 50 Ω cm and N^+ region 11 is 0.003 ohm cm material.

Figures 3 and 4 show a novel structure and process for reducing the gate-to-drain capacitance of the device by using a thick bottom oxide but thin side wall oxide in the trench, thus preserving low on-resistance. More specifically, in prior art trench devices, the bottom oxide thickness was that of the side wall thickness which is about 320Å. In accordance with the present invention, the bottom oxide layer is increased in thickness to 1000Å to 1400Å and the trench is rounded at the trench corners to increase the drain/source breakdown voltage and gate-drain breakdown voltage at those corners.

Thus, after the trench 20 is formed in Figure 3, its walls and bottom are lined with silicon nitride as by a conventional Si_3N_4 deposition process. The nitride at the bottom of the trench is then removed, using a suitable reactive etch process, leaving

- 6 -

intact the nitride on the trench walls, shown as nitride layers 60 in Figure 3.

Thereafter, oxide is grown on the exposed silicon bottom of trench 20, forming the thick oxide layer 61 in Figure 3. Layer 61 may have a thickness if from 1000Å to 1400Å (by way of example) and, fortuitously, will create rounded edges 62, 63 (or a rounded trench bottom periphery if the trench is polygonal in cross-section).

Thereafter, the nitride 60 of Figure 3 is removed by a suitable nitride etch, for example, H_3PO_4 which leaves intact the oxide 61. A thin gate oxide 62 (Figure 4) may then be grown on the exposed side walls of trench 20 to a thickness of 300Å to 320Å.

In another embodiment of the invention, after the trench 20 is formed, a heavy dose implant (for example, $1E16$ atoms/cm²) of a neutral species, (for example, Argon) is applied to the bottom of the trench only, converting the single crystal silicon at the trench bottom to an amorphized silicon. An oxide growth step then takes place of growing oxide on the single crystal trench walls and on the amorphized bottom trench surface. The oxide on the amorphized silicon grows about 3 to 4 times faster than on the trench walls, thus providing the trench with the desired thickened bottom.

The device is then completed in the well known manner by the formation of the polysilicon gate and source and drain electrodes.

The resulting device will have reduced gate-to-drain capacitance and will have improved voltage withstand ability because of the thick oxide 61 and the rounded trench bottom edges, rather than the sharper trench edges of the prior art.

It is desirable for devices such as that of Figure 4 to have a shorter channel length while still holding off reverse voltage in the channel only. Thus, it was conventional for low voltage trench MOSFETs to use a channel length along the trench wall of about 1.3 microns. It has been found, as shown in Figure 5, that a reduced channel length can be used, for example, 0.7 microns. To make such devices, it becomes necessary to consider that the channel may include a significant

- 7 -

length of implant induced damage caused during the implant of P⁻ region 12 and N⁻ source region 13. In accordance with another aspect of the present invention, the source region 13 is intentionally diffused to a depth greater than the depth of the implant damage. In this way, the full reduced length channel is in undamaged silicon
5 so that it can better hold off full source to drain voltage.

Although the present invention has been described in relation to particular embodiments thereof, many other variations and modifications and other uses will become apparent to those skilled in the art. It is preferred, therefore, that the present invention be limited not by the specific disclosure herein, but only by the appended
10 claims.

WHAT IS CLAIMED IS:

1. A trench type MOSgated power semiconductor device comprising a wafer of silicon of one conductivity type; a plurality of spaced trenches formed into the top surface of said wafer and extending therein to a given depth; an insulation coating lining the side walls and bottom of said trench; a conductive gate body filling
5 the interior of each of said trenches; a channel region of a second conductivity type extending into the top of said wafer to a first depth which is less than said given depth; a source region of said one conductivity type extending into said channel region to a first depth from the top of said wafer to define invertable channels along the sides of said trench in said channel region which extends between said first and
10 second depths; a source electrode formed on the top surface of said wafer and connected to said source and channel regions; a drain electrode connected to the bottom of said wafer; and a shallow diffusion of the second conductivity type surrounding the bottom of each of said trenches, said shallow diffusion having a concentration substantially less than that of said channel region and being at all times
15 depleted by the built-in junction voltage at its junction to the surrounding one conductivity type material of said wafer.
2. The device of claim 1 wherein said one conductivity type is the N type and said second conductivity type is the P type.
3. The device of claim 1 wherein said wafer has an epitaxially deposited layer of said one conductivity type extending from the top of said wafer and receiving said trenches and said channel and source regions.
4. The device of claim 1 wherein said insulation coating is silicon dioxide.

- 9 -

5. The device of claim 1 wherein said insulation coating in said side walls has a thickness of about 320Å and said insulation coating on the bottom of said trench having a thickness greater than about 1000Å and having a positively curved bottom surface without sharp corners.

6. The device of claim 1 wherein said conductive gate body is a conductive polysilicon.

7. The device of claim 1 wherein said trenches have a topology selected from the group consisting of symmetrically distributed vertical cells and parallel extending vertical stripes.

8. The device of claim 3 wherein said one conductivity type is the N type and said second conductivity type is the P type.

9. The device of claim 4 wherein said one conductivity type is the N type and said second conductivity type is the P type.

10. The device of claim 5 wherein said one conductivity type is the N type and said second conductivity type is the P type.

11. The device of claim 6 wherein said one conductivity type is the N type and said second conductivity type is the P type.

12. The device of claim 8 wherein said insulation coating is silicon dioxide.

- 10 -

13. The device of claim 12 wherein said insulation coating in said side walls has a thickness of about 320Å and said insulation coating on the bottom of said trench having a thickness greater than about 1000Å and having a positively curved bottom surface without sharp corners.

14. The device of claim 13 wherein said conductive gate body is a conductive polysilicon.

15. The device of claim 1 wherein the vertical distance between said first and second depth is about 0.7 microns.

16. The device of claim 15 wherein said source region is formed by an implant and subsequent diffusion process which produces implant damage to a third depth; said source region second depth being greater than said third depth, whereby said invertible channel regions are formed in undamaged silicon for their full lengths.

17. A trench type MOSgated power semiconductor device comprising a wafer of silicon of one conductivity type; a plurality of spaced trenches formed into the top surface of said wafer and extending therein to a given depth; an insulation coating lining the side walls and bottom of said trench; a conductive gate body filling the interior of each of said trenches; a channel region of a second conductivity type extending into the top of said wafer to a first depth which is less than said given depth; a source region of said one conductivity type extending into said channel region to a first depth from the top of said wafer to define invertible channels along the sides of said trench in said channel region which extends between said first and second depths; a source electrode formed on the top surface of said wafer and connected to said source and channel regions; a drain electrode connected to the

- 11 -

bottom of said wafer; and said first and second depths being vertically separated by about 0.7 microns.

18. The device of claim 17 wherein said source region is formed by an implant and subsequent diffusion process which produces implant damage to a third depth; and said source region second depth being greater than said third depth, whereby said invertible channel regions are formed in undamaged silicon for their full lengths.

19. The device of claim 17 wherein said insulation coating on the bottom of said trench have a thickness greater than about 1000Å and having a positively curved bottom surface without sharp corners.

20. The device of claim 17 wherein said one conductivity type is the N type and said second conductivity type is the P type.

21. The device of claim 17 wherein said wafer has an epitaxially deposited layer of said one conductivity type extending from the top of said wafer and receiving said trenches and said channel and source regions.

22. The device of claim 17 wherein said insulation coating is silicon dioxide.

23. The device of claim 17 wherein said conductive gate body is a conductive polysilicon.

24. The device of claim 17 wherein said trenches have a topology selected from the group consisting of symmetrically distributed vertical cells and parallel

- 12 -

extending vertical stripes.

25. A trench type MOSgated power semiconductor device comprising a wafer of silicon of one conductivity type; a plurality of spaced trenches formed into the top surface of said wafer and extending therein to a given depth; an insulation coating lining the side walls and bottom of said trench; a conductive gate body filling the interior of each of said trenches; a channel region of a second conductivity type extending into the top of said wafer to a first depth which is less than said given depth; a source region of said one conductivity type extending into said channel region to a first depth from the top of said wafer to define invertible channels along the sides of said trench in said channel region which extends between said first and second depths; a source electrode formed on the top surface of said wafer and connected to said source and channel regions; a drain electrode connected to the bottom of said wafer; said insulation coating on said side walls having a thickness of about 320Å; said insulation coating on the bottom of said trench having a thickness greater than about 1000Å and having a positively curved bottom surface without sharp corners.

26. The device of claim 25 wherein said one conductivity type is the N type and said second conductivity type is the P type.

27. The device of claim 25 wherein said wafer has an epitaxially deposited layer of said one conductivity type extending from the top of said wafer and receiving said trenches and said channel and source regions.

28. The device of claim 25 wherein said insulation coating is silicon dioxide.

- 13 -

29. The device of claim 25 wherein said conductive gate body is a conductive polysilicon.

30. The device of claim 25 wherein said trenches have a topology selected from the group consisting of symmetrically distributed vertical cells and parallel extending vertical stripes.

31. The device of claim 25 wherein the vertical distance between said first and second depth is about 0.7 microns.

32. The device of claim 25 wherein said source region is formed by an implant and subsequent diffusion process which produces implant damage to a third depth; said source region second depth being greater than said third depth, whereby said invertible channel regions are formed in undamaged silicon for their full lengths.

33. A trench type MOSgated power semiconductor device comprising a wafer of silicon of one conductivity type; a plurality of spaced trenches formed into the top surface of said wafer and extending therein to a given depth; an insulation coating lining the side walls and bottom of said trench; a conductive gate body filling the interior of each of said trenches; a channel region of a second conductivity type extending into the top of said wafer to a first depth which is less than said given depth; a source region of said one conductivity type extending into said channel region to a first depth from the top of said wafer to define invertible channels along the sides of said trench in said channel region which extends between said first and second depths; a source electrode formed on the top surface of said wafer and connected to said source and channel regions; a drain electrode connected to the bottom of said wafer; said source region being formed by an implant and subsequent

- 14 -

diffusion process which produces implant damage to a third depth; and said source region second depth being greater than said third depth, whereby said invertable channel regions are formed in undamaged silicon for their full lengths.

34. The device of claim 33 wherein said one conductivity type is the N type and said second conductivity type is the P type.

35. The device of claim 33 wherein said wafer has an epitaxially deposited layer of said one conductivity type extending from the top of said wafer and receiving said trenches and said channel and source regions.

36. The device of claim 33 wherein said insulation coating is silicon dioxide.

37. The device of claim 33 wherein said insulation coating in said side walls has a thickness of about 320Å and said insulation coating on the bottom of said trench having a thickness greater than about 1000Å and having a positively curved bottom surface without sharp corners.

38. The device of claim 33 wherein said conductive gate body is a conductive polysilicon.

39. The device of claim 33 wherein said trenches have a topology selected from the group consisting of symmetrically distributed vertical cells and parallel extending vertical stripes.

40. The device of claim 33 wherein the vertical distance between said first and second depth is about 0.7 microns.

- 15 -

41. The process for forming a trench type MOSgated device; said process comprising the steps of etching a trench having spaced side walls and a bottom surface into a silicon wafer wherein said bottom surface and side walls meet at a sharp angle; forming a silicon nitride layer on said side walls and said bottom surface; removing said silicon nitride layer from said bottom surface only; forming silicon dioxide layer on said trench bottom which has a thickness in excess of 1000Å on said bottom surface and rounding said bottom surface and sharp corners while forming said bottom silicon dioxide layer, and thereafter removing the silicon nitride layer on said walls and then forming silicon dioxide layers on said side walls which have a thickness substantially less than 1000Å.

42. The process of claim 41 wherein said silicon dioxide layers on said walls have a thickness of about 320Å.

43. In a MOSgated power semiconductor device comprising a drain conductor region of one conductivity type, a source conductive region of said one conductivity type, and a channel conductor region of the opposite conductivity type; a gate oxide layer extending from said source conductive region, across said channel conductive region and to said drain conductive region and a conductive gate electrode disposed on a surface of said gate oxide and operable to produce an inversion layer in said channel region to permit conduction between said source and drain regions; the improvement which comprises a shallow, lightly doped diffusion of said opposite conductivity type in said drain conductor region adjacent said gate oxide; and said shallow diffusion being depleted by the inherent junction voltage of the junction between said shallow diffusion and said drain region.

44. The device of claim 43 wherein said shallow diffusion has a depth of less than about 2000Å.

- 16 -

45. The device of claim 43 wherein said shallow diffusion has a concentration which is substantially less than the concentration of said channel region.

46. The device of claim 44 wherein said shallow diffusion has a concentration which is substantially less than the concentration of said channel region.

47. The device of claim 45 wherein said shallow diffusion is formed by an implant dose of about 1×10^{12} atoms/cm².

48. The device of claim 43 wherein said device is a trench type MOSFET and wherein said shallow diffusion is formed around the bottom of a trench which receives said gate oxide.

5 49. The process for forming a trench type MOSgated device; said process comprising the steps of etching a trench having spaced side walls and a bottom surface into a monocrystalline silicon wafer; amorphizing the bottom surface of the trench but not its side walls; and thereafter growing a silicon dioxide layer on the side walls and bottom of the trench, wherein the silicon dioxide layer will be substantially thicker at the bottom of said trench than on the side walls.

50. The process of claim 49, wherein the silicon oxide coating on said walls have a thickness of greater than about 1000Å.

51. The process of claim 49, wherein the step of amorphizing the silicon at the bottom of said trench is carried out by an ion implant of a neutral species into the bottom of said trench.

- 17 -

52. The process of claim 51, wherein said ion implant is at a heavy dose of greater than about $1E16$ atoms/cm².

53. The process of claim 52, wherein the silicon oxide coating on said walls have a thickness of greater than about 1000Å.

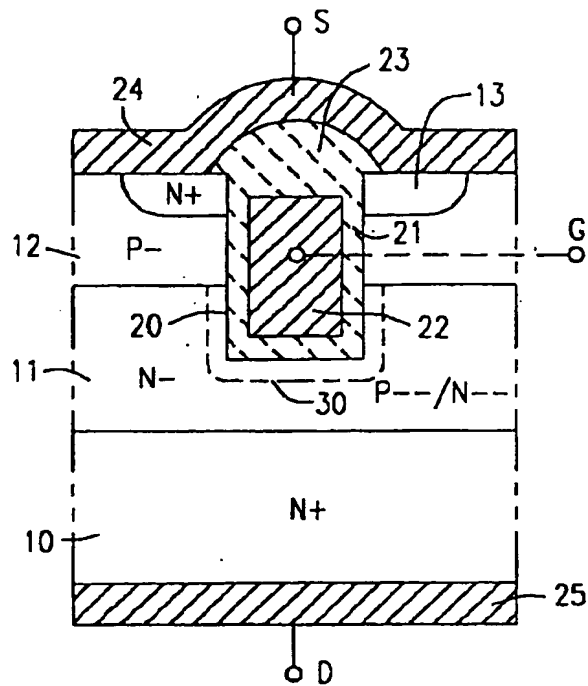


FIG. 1A

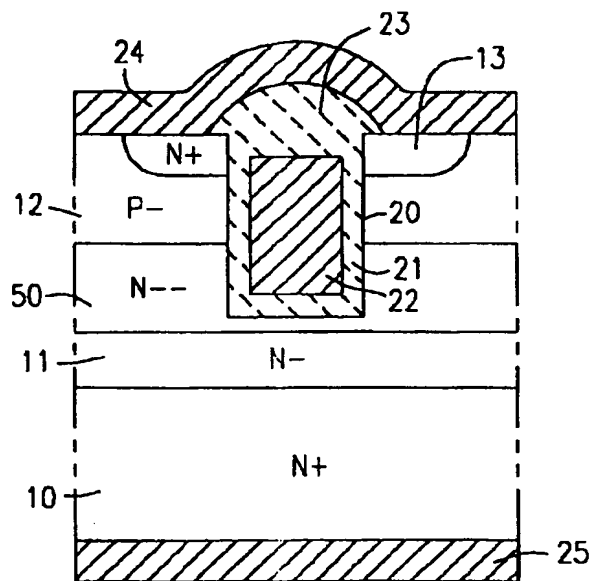


FIG. 1B

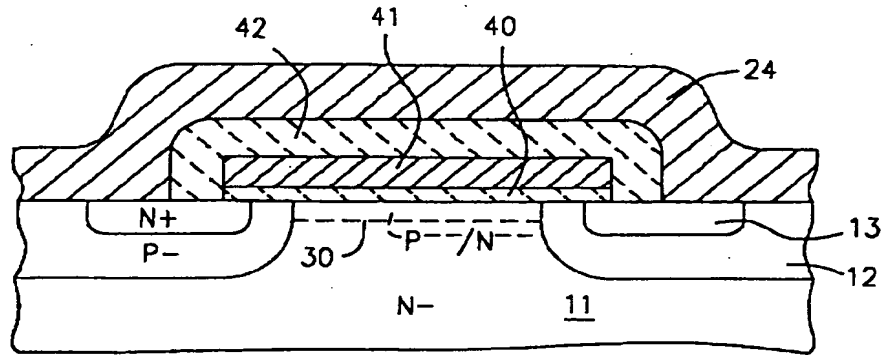


FIG. 2

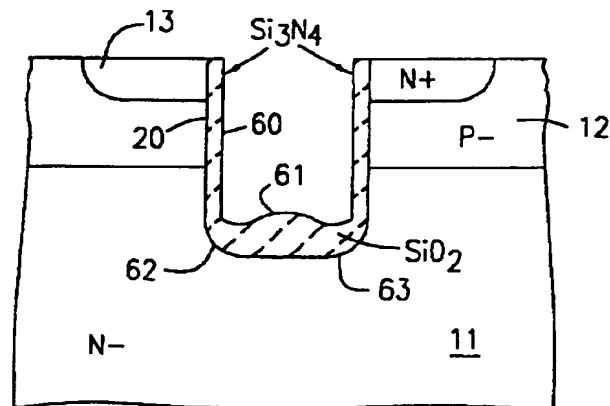


FIG. 3

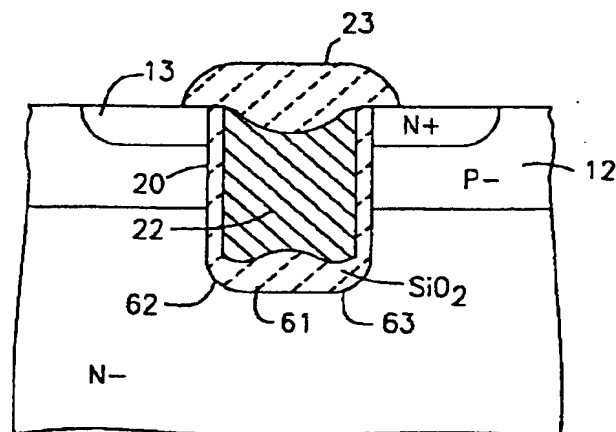


FIG. 4

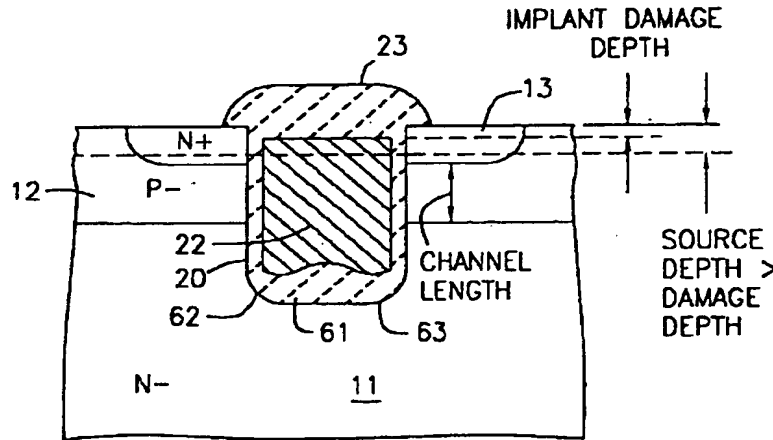


FIG. 5

ABSTRACT

A trench type power MOSFET has a thin vertical gate oxide along its side walls and a thickened oxide with a rounded bottom at the bottom of the trench to provide a low $R_{DS(on)}$ and increased $V_{DS(max)}$ and $V_{GS(max)}$ and a reduced Miller capacitance. The walls of the trench are first lined with nitride to permit the growth of the thick bottom oxide to, for example 1000Å to 1400Å and the nitride is subsequently removed and a thin oxide, for example 320Å is regrown on the side walls. In another embodiment, the trench bottom is amorphized and the trench walls are left as single crystal silicon so that oxide can be grown much faster and thicker on the trench bottom than on the trench walls during an oxide growth step. A reduced channel length of about 0.7 microns is used. The source diffusion is made deeper than the implant damage depth so that the full 0.7 micron channel is along undamaged silicon. A very lightly doped diffusion of 1000Å to 2000Å in depth could also be formed around the bottom of the trench and is depleted at all times by the inherent junction voltage to further reduce Miller capacitance and switching loss.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.